



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

Offenlegungsschrift

⑯ DE 197 17 642 A 1

⑮ Int. Cl.⁶:
H 04 L 25/04
H 04 L 25/20
H 04 L 1/20
H 04 L 7/033
H 03 M 13/00

⑯ Aktenzeichen: 197 17 642.9
⑯ Anmeldetag: 25. 4. 97
⑯ Offenlegungstag: 5. 11. 98

DE 197 17 642 A 1

⑯ Anmelder:
Siemens AG, 80333 München, DE

⑯ Erfinder:
Burgmeier, Jürgen, Dipl.-Ing., 81479 München, DE;
Stummer, Baldur, Dipl.-Ing., 81543 München, DE

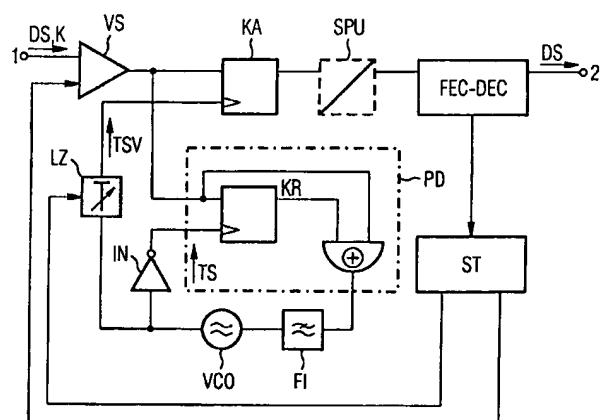
⑯ Entgegenhaltungen:
DE 31 22 763 C2
JP 07-2 62 704 A
JP 0726704 A in: ORBIT, WPAT, AN-95-396649/51
SU 509889 A in: ORBIT WPAT, AN-77-4952Y/17;
J.M. Keelty und K. Feher "On-Line Pseudo-Error
Monitors for Digital Transmissions Systems"
in: IEEE Trans., Vol. COM-26, August 1978,
S. 1275-1282;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Verfahren zur Datenregeneration

⑯ Bei dem Verfahren zur Datenregeneration werden gesicherte Daten übertragen. Empfangsseitig wird die Fehlerrate des Empfangssignals (DS) ermittelt. Die Abtastzeitpunkte und die Entscheidungsschwelle werden in einem vorgegebenen Bereich variiert und aus den, während dieses Vorgangs ermittelten Übertragungsfehlern wird ein optimaler Abtastzeitpunkt (T, Index A) und eine optimale Entscheidungsschwelle (O) in der (AB) eingestellt. Aufgrund der Fehlerkorrektur wirken sich zusätzliche Übertragungsfehler nicht aus.



DE 197 17 642 A 1

Beschreibung

Die Erfindung betrifft ein Verfahren zur Datenregeneration nach dem Oberbegriff des Patentanspruchs 1.

Durch Vergleich eines abgetasteten Datensignals mit dem noch nicht abgetasteten Datensignal wird ein Regelkriterium gewonnen, das zur Phasen- oder/und Frequenznachregelung eines Taktgenerators dient. Ein solcher Phasendetektor ist in IEEE, Journal of Lightwave Technology, Vol. LT-3, No. 6, Seite 1312-1314), beschrieben. Für extrem hohe Datenraten führen kleine toleranzbedingte oder durch Temperaturänderung verursachte Laufzeitunterschiede der verwendeten Bausteine bereits dazu, daß Signale nicht zum idealen Zeitpunkt abgetastet werden. Ebenso können Temperaturänderungen die Abtastschwelle verschieben, so daß auch eine optimale Unterscheidung zwischen beispielsweise zwei Zuständen nicht mehr gegeben ist. Vor allem verhindern aber führen Veränderungen der Sendeimpulsform, Einflüsse der Übertragungsstrecke, empfangsseitige Impulsverzerrungen und unsymmetrische Einflüsse auf die übertragenen beiden logischen Zustände die Festlegung einer optimalen Abtastschwelle und eines optimalen Abtastzeitpunktes.

Aufgabe der Erfindung ist es, ein Verfahren zur optimalen Datenregeneration anzugeben.

Diese Aufgabe wird durch das in Anspruch 1 angegebene Verfahren gelöst.

Vorteilhafte Weiterbildungen sind in den Unteransprüchen angegeben.

Das Verfahren hat den großen Vorteil, daß es aufgrund der Fehlerkorrektur gestattet, den Abtastzeitpunkt oder/und die Abtastschwelle versuchsweise zu verschieben, ohne daß das fehlerkorrigierte Ausgangssignal unzulässig hohe Datenraten aufweist.

Ebenso wie der Abtastzeitpunkt kann die Abtastschwelle variiert werden, um eine optimale Entscheidungsschwelle zu ermitteln.

Wenn die ermittelte Fehlerrate des versuchsweise eingesetzten neuen Abtastzeitpunktes über der Fehlerrate des vorhergegangenen Abtastzeitpunktes liegt, wird der bisher verwendete Abtastzeitpunkt (oder die bisher verwendete Abtastschwelle) zunächst beibehalten und dann eine Verschiebung des Abtastzeitpunktes in der anderen Richtung versuchsweise durchgeführt, um den optimalen Abtastzeitpunkt zu ermitteln.

Vorteilhaft ist auch, daß der Abtastzeitpunkt und die Abtastschwelle nur innerhalb eines vorgegebenen Bereichs verstellt werden. Hierdurch ist sichergestellt, daß auch bei einer Fehlfunktion der Regelung die Datenregeneration noch arbeitet.

Bei verschachtelten fehlerkorrigierenden Codes (interleaved) kann die Überwachung und Nachregelung von Abtastzeitpunkt und Abtastschwelle in verschiedenen Datenpfaden erfolgen, die individuell optimiert werden. Dies parallele Verarbeitung ist bei hohen Datenraten auch aus technologischen Gründen erforderlich. Der andere Datenpfad kann als Vergleichsmaßstab dienen.

Die Bereiche, in denen sich der Abtastzeitpunkt und die Abtastschwelle bewegen, können von der vorher gemessenen Fehlerrate und von der während der Änderung auftretenden Fehlerrate bestimmt werden.

Sinnvoll ist es auch, daß bei einer neu gestalteten Verbindung zunächst die Bereiche zur Neueinstellung von Abtastzeitpunkt und Abtastschwelle sowie der Änderungsgeschwindigkeit größer gewählt werden als bei einer bereits existierenden Verbindung.

Vorteilhaft bei diesem Verfahren ist auch, daß kein zweiter Datenpfad vorgesehen zu werden braucht, der nur zur Festlegung des optimalen Abtastzeitpunktes und der opti-

malen Abtastschwelle dient, die dann auf den eigentlichen Datenpfad übertragen werden. Bei diesem Verfahren kann aufgrund von Toleranzen in den verschiedenen Datenpfaden eine optimale Einstellung und Datenregeneration nicht immer erreicht werden.

Ausführungsbeispiele der Erfindung werden anhand von Figuren näher erläutert.

Es zeigen

Fig. 1 ein Prinzipschaltbild der erfindungsgemäßen Anordnung,

Fig. 2 eine Variante dieser Anordnung,

Fig. 3 eine weitere Variante für separat gesicherte Datenströme und

Fig. 4 ein Zeitdiagramm.

In Fig. 1 ist eine Anordnung zur Realisierung des erfindungsgemäßen Verfahrens als Prinzipschaltbild dargestellt. Das übertragene Datensignal DS inklusive der Fehlerkorrektur dienenden Kontrollbits K wird einem Dateneingang 1 einer Entscheidungsstufe ES zugeführt. Deren Ausgang ist mit einem Phasendetektor PD verbunden, der ein Exklusiv-Oder-Gatter EXOR zur Gewinnung einer Regelspannung enthält, die über ein Filter FI einen Oszillatoren VCO steuert. Dieser gibt ein Taktsignal TS ab, das zur Abtastung des empfangenen Datensignals DS, K über einen Inverter IN oder ein Laufzeitglied geführt eine Regenerator Abtastkippsstufe KR triggert. Dasselbe Taktsignal ist über ein einstellbares Laufzeitglied LZ geführt und triggert als verstellbares Abtastsignal TSV eine Abtastkippsstufe KA, die das abgetastete Datensignal DS, K an ihrem Datenausgang zur Weiterverarbeitung abgibt. Das Datensignal wird einem FEC-Decodierer zugeführt, der anhand der Kontrollbits eine Fehlererkennung und/oder Fehlerkorrektur durchführt und am Datenausgang 2 das korrigierte Datensignal DS abgibt. Bei hohen Datenraten und bei verschachtelter Codierung kann ein Seriell-Parallel-Umsetzer zwischen dem Ausgang der Abtastkippsstufe KA1 und dem FEC-Decoder eingeschaltet sein.

Eine Steuerung überprüft in vorgegebenen Zeitintervallen die Übertragungsfehlerrate anhand der Korrekturhäufigkeit (und gegebenenfalls mittels einer zusätzlichen Fehlererkennung). Diese Zeitintervalle können einer Vielzahl von Datenblöcken entsprechen.

Um einen optimalen Abtastzeitpunkt einzustellen, verändert die Steuerung versuchsweise die Laufzeit des variablen Laufzeitgliedes LZ. Der Veränderung der Laufzeit entspricht ein Verschieben des Abtastzeitpunktes TA, das nur innerhalb eines gewissen Bereiches BE erfolgen darf. Als eine weitere Grenze kann die ergebende Fehlerrate verwendet werden, die stets beträchtlich unterhalb der Fehlerkorrekturfähigkeit des verwendeten Codes liegen sollte, aber auch abhängig von der zuletzt gemessenen Fehlerrate sein kann.

Die Verschiebung des Abtastzeitpunktes erfolgt zunächst in einer Richtung. Gleichzeitig wird die Fehlerrate gemessen. Verringert sich die Fehlerrate wird der Abtastzeitpunkt verschoben. Dies kann um einen festen Wert erfolgen, beispielsweise indem die versuchsweise durchgeführte Verschiebung zu dem neuen Soll-Abtastzeitpunkt geführt hat. Wird die Fehlerrate dagegen größer, erfolgt eine versuchsweise Verschiebung in der anderen Richtung, der zunächst eine weitere Messung in der bisherigen Sollage vorangehen kann.

Es können aber auch zunächst versuchsweise Verschiebungen in beiden Richtungen bezogen auf den letzten Soll-abtastzeitpunkt vorgenommen werden. Anhand der Messungen wird der neue Abtastzeitpunkt ermittelt, bei dem die Fehlerrate ein Minimum ist. Wenn bei dem neuen Abtastzeitpunkt eine höhere Fehlerrate als bei dem früheren Ab-

tastzeitpunkt zu erwarten ist, wird keine Neueinstellung durchgeführt, sondern zunächst die Fehlerrate erneut gemessen, um festzustellen, ob evtl. die Übertragungsstrecke schlechter geworden ist.

Die Einstellung des Abtastzeitpunktes kann auch in sehr kleinen konstanten Schritten – also unabhängig von der Größe der ermittelten Abweichung – erfolgen. Ein lokales Minimum der Fehlerrate muß vermieden werden. Zu bestimmten Zeiten oder bei neu geschalteten Verbindungen kann daher zunächst mit größeren versuchsweisen Verstellungen begonnen werden.

Auch sollte die Steuerung eine Tiefpaßfunktion beinhalten, die erst nach einer erheblichen Anzahl von Datenblöcken dann ein endgültiges Verschieben des Abtastzeitpunktes bewirkt, wenn der neu ermittelte Abtastzeitpunkt sicher zu besseren Fehlerraten führt.

Die Anzahl der Einstellvorgänge kann auch auf bestimmte Zeiten begrenzt werden.

Die Abtastschwelle kann nach demselben Modus eingestellt werden, indem die Vergleichsspannung U- der Vergleichsstufe VS variiert wird. Die Kombination beider Maßnahmen bewirkt eine optimale Regeneration des empfangenen Datensignal.

Der Bereich BE, in dem eine Verschiebung des Abtastzeitpunktes erfolgt, und der Bereich BA, in dem eine Verschiebung der Entscheidungsschwelle ES erfolgt, können so begrenzt werden, daß durch die Suchvorgänge die Fehlerrate des korrigierten Datensignals gering bleibt (Fig. 4).

Zur Verschiebung des Abtastzeitpunktes muß kein Laufzeitglied verwendet werden. Es kann ebenso in die Phasenregelschleife eingegriffen werden. Dies ist in Fig. 2 prinzipiell dargestellt. Der Ausgang der Vergleichsstufe VS ist direkt mit dem Eingang des Phasendetektor verbunden, an dessen Ausgang der FEC-Decodier FEC-DEC eingeschaltet ist. Die Steuerung ST wirkt hier über einen Addierer AD auf den Eingang des gesteuerten Oszillators VCO. Durch das dem Regelsignal RE überlagerte Steuerkriterium SK wird das Taktsignal gegenüber dem Datensignal verschoben.

Für die Abtastkippstufe KA und die Regenerator-Abtastkippstufe KR können auch separate Vergleichsstufen verwendet werden.

In Fig. 3 werden ein durch miteinander verschachtelter fehlerkorrigierende Codes gesicherte Datensignal DS und die jeweils zugehörigen Kontrollbits K in zwei Datenströme aufgeteilt. Es sind zwei Entscheidungsstufen VS1 und VS2 vorgesehen, denen jeweils eine Abtastkippstufe KA1 bzw. KA2 nachgeschaltet ist. Die Kippstufen werden mit Taktzeiten TS1 bzw. TS2 angesteuert, die durch Frequenzteilung aus dem Taktsignal TS gewonnen werden. Jeder Datenstrom DS1, DS2 wird einem eigenen FEC-Decodier FEC-DEC1 bzw. FEC-DEC2 zugeführt.

Über verschiedene Laufzeitglieder LZ1 und LZ2 sind beide Abtasttakte steuerbar. Die Steuerung variiert jeweils nur für einen Datenpfad den Abtastzeitpunkt und die Abtastschwelle und führt eine individuelle Optimierung durch. Es besteht die Möglichkeit, das Ergebnis nicht nur mit den vorhergegangenen Meßergebnissen, sondern auch mit den Meßergebnissen des anderen Datenstromes zu vergleichen. Geänderte Übertragungsbedingungen können so schneller berücksichtigt werden.

Patentansprüche

1. Verfahren zur Datenregeneration, bei dem aus einem Empfangssignal (DS) ein Regelkriterium für einen Phasenregelkreis gewonnen wird, der ein Abtast-Taktsignal (TS) erzeugt, dadurch gekennzeichnet, daß übertragene Daten durch einen fehlerkorrigieren-

den Code gesichert werden, daß empfangsseitig fortlaufend die Übertragungsfehlerrate ermittelt wird, daß versuchsweise eine gesteuerte Phasenverschiebung des Abtast-Taktsignals (TS) gegenüber dem Empfangssignal (DS) und hiermit der Abtastzeitpunkt (T_A) geändert wird und daß aufgrund der gemessenen Übertragungsfehlerraten der optimale Abtastzeitpunkt (T_A) ermittelt und eingestellt werden.

2. Verfahren zur Datenregeneration, bei dem aus einem Empfangssignal (DS) ein Regelkriterium für einen Phasenregelkreis gewonnen wird, der ein Abtast-Taktsignal (TS) erzeugt, dadurch gekennzeichnet, daß die Entscheidungsschwelle (U_{AB}) für das Empfangssignal (DS) versuchsweise geändert wird und aufgrund der gemessenen Fehlerraten eine optimale Entscheidungsschwelle ermittelt und eingestellt wird.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Abtastzeitpunkt (T_A) und die Entscheidungsschwelle (U_{AB}) eingestellt werden.

4. Verfahren nach Anspruch nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Abtastzeitpunkt (T_A) und/oder die Abtastschwelle (U_{AB}) jeweils nur innerhalb eines vorgegebenen Bereichs (BE, BA) verstellt werden.

5. Verfahren nach Anspruch nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Grenzen der Bereiche (BE, BA), in denen die Abtastzeitpunkte oder die Vergleichsschwelle (U_{AB}) verschoben werden, durch die gemessene Fehlerrate bestimmt werden.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ein versuchsweise eingestellter neuer Abtastzeitpunkt (T_A) oder eine versuchsweise eingestellte neue Entscheidungsschwelle (U_{AB}) nur beibehalten werden, wenn die für die neue Einstellung ermittelte Fehlerrate unter der Fehlerrate eines vorangegangenen Zeitintervalls liegt.

7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß nach einer Verschiebung des Abtastzeitpunktes (T_A) oder der Abtastschwelle (U_{AB}) in nur einer Richtung gegebenenfalls eine bleibende neue Sollage eingestellt wird, wenn die Fehlerrate gesunken ist.

8. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß erst nach einer Verschiebung des Abtastzeitpunktes (T_A) und/oder der Entscheidungsschwelle (U_{AB}) in beiden Richtungen aus den gemessenen Fehlerraten der optimale Abtastzeitpunkt bzw. die optimale Entscheidungsschwelle ermittelt und eine Korrektur durchgeführt wird.

9. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Verschiebung des Abtastzeitpunktes und/oder der Abtastschwelle jeweils um einen vorgegebene Betrag erfolgt.

10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Neueinstellungen auf bestimmte Zeiträume beschränkt werden.

11. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß mehrere verschachtelte Codes zur Datensicherung verwendet werden, daß empfangsseitig die Datenregeneration in verschiedenen Verarbeitungspfaden erfolgt und die Übertragungsfehler separat ermittelt werden, daß jeweils nur für einen von mindestens zwei Datenströmen die Abtastzeitpunkte (T_A) oder/und die Entscheidungsschwelle (U_{AB}) variiert wird.

12. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Abtastzeitpunkte mit Hilfe eines einstellbaren Laufzeitglieds (LZ) verschoben werden.

13. Verfahren nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß die Abtastzeitpunkte (T_A) durch eine dem steuerbaren Oszillatator (VCO) der Phasenschleife (PLL) zugeführte Korrekturspannung (UK) verschoben werden.

10

Hierzu 2 Seite(n) Zeichnungen

15

20

25

30

35

40

45

50

55

60

65

FIG 1

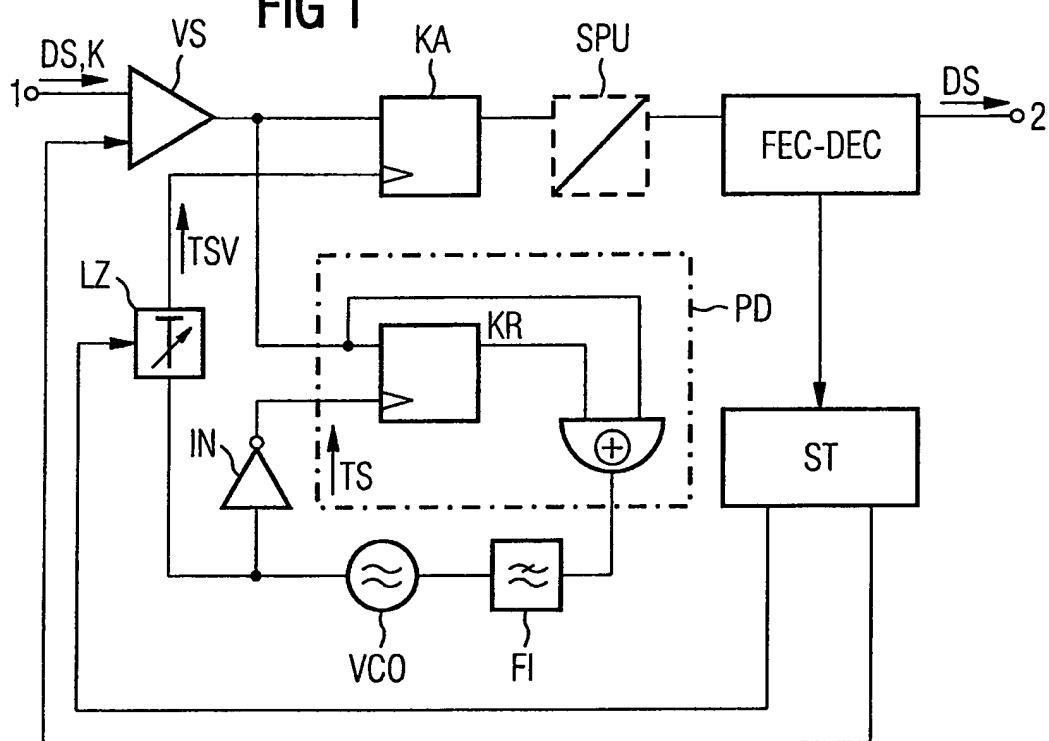


FIG 2

